



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08037208 A**(43) Date of publication of application: **06.02.96**

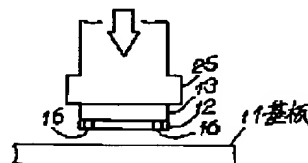
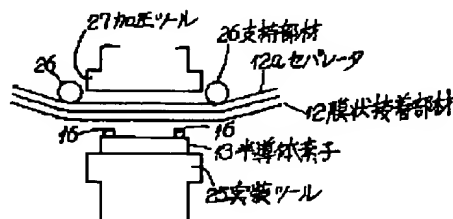
(51) Int. Cl

H01L 21/60**H01L 21/52****H05K 3/32**(21) Application number: **06172888**(22) Date of filing: **25.07.94**(71) Applicant: **TOSHIBA CORP TOSHIBA
ELECTRON ENG CORP**(72) Inventor: **SASAKI TAKESHI****(54) METHOD OF MOUNTING SEMICONDUCTOR
ELEMENT AND ITS DEVICE****(57) Abstract:**

PURPOSE: Not to cause an unset portion of a film-like binding member and render futile a material by a method wherein only a portion corresponding to a mounting surface of the film-like binding member is transferred to the mounting surface of a semiconductor chip and the semiconductor chip is mounting onto a board via this transferred film-like binding member.

CONSTITUTION: First, a bare IC 13 having bumps 16 is joined to a mounting tool 25 and heated at 90°C to 130°C. Further, an anisotropic conductive film 12 of a thermosetting characteristic is supported by a roller-like support member 26 so that the reverse side of a separator 12a faces a mounting surface of the bare IC 13. In this state, a pressing tool 27 is descended, and in a state that the separator 12a is detached, an anisotropic conductive film 12 is transferred onto the mounting surface of the bare IC 13. Next, the mounting tool 25 is reversed by a reversing mechanism to direct the mounting surface of the bare IC 13 downwardly. Thereafter, the mounting tool 25 is descended and the mounting surface of the bare IC 13 that the anisotropic conductive film 12 is transferred is brought into pressure contact with a predetermined mounting position on a material 11 to heat.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37208

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	7726-4E		
21/52				
H 0 5 K 3/32	B	8718-4E		

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平6-172888

(22) 出願日 平成6年(1994)7月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72) 発明者 佐々木 剛

神奈川県川崎市川崎区日進町7番地1

東芝電子エンジニアリング株式会社内

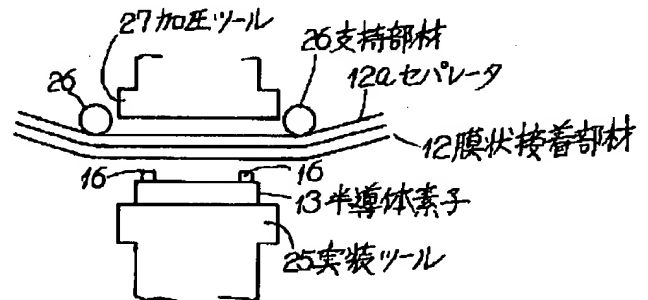
(74) 代理人 弁理士 樺澤 襄 (外2名)

(54) 【発明の名称】 半導体素子の実装方法およびその装置

(57) 【要約】

【目的】 膜状接着部材を用いて半導体素子を基板上の所定位置に実装する半導体素子の実装装置に関する。

【構成】 実装ツール25は支持面が上向きの仮付け位置にあり、ペア I C 13の実装面の反対を載せ、バキューム機構を動作させてペア I C 13を吸着保持し、90℃～130℃に加熱する。加圧ツール27を下降動作させ、支持部材26により所定の張力によって支持されている異方性導電膜12を押し下げ、ペア I C 13の実装面に圧接させる。加熱状態の実装面に圧接した異方性導電膜12の一部のみ残留する。実装ツール25による加熱、加圧することにより、熱硬化性の異方性導電膜12は一旦溶解した後に硬化する。ペア I C 13を基板11上に機械的に固着させるとともに、異方性導電膜12内の導電粒子により、ペア I C 13の接続電極と基板11上の配線パターンとの間を導電接続して実装が完了する。



【特許請求の範囲】

【請求項 1】 所定温度に加熱された半導体素子の実装面に、一面にシート状のセパレータが貼り付けられている膜状接着部材を前記セパレータの反対側から加圧し、この加圧後に前記セパレータを含む膜状接着部材の他の部分を実装面から分離することにより、前記膜状接着部材を実装面上に転写し、

この転写後に前記膜状接着部材が転写された前記半導体素子の実装面を基板上の所定の実装位置に加圧、加熱して結合することを特徴とする半導体素子の実装方法。

【請求項 2】 半導体素子を膜状接着部材を介して基板上の所定位置に実装する半導体素子の実装装置において、

前記半導体素子を着脱可能に保持し、この保持状態にて半導体素子を所定温度に加熱するとともに、この半導体素子を基板上の所定位置に圧接させる実装ツールと、この実装ツールの所定の実装位置と異なる仮付け位置にて、一面にセパレータが貼り付けられた膜状接着部材のセパレータの反対側を、この実装ツールによって保持された半導体素子の実装面と所定の間隔で対向させる支持部材と、

この支持部材により支持された前記膜状接着部材を前記半導体素子の実装面上に圧接させ、この実装面に対応する部分を実装面上に転写させる加圧ツールとを具備したことを特徴とする半導体素子の実装装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、膜状接着部材を用いて半導体素子を基板上の所定位置に実装するための半導体素子の実装方法およびその装置に関する。

【0002】

【従来の技術】 一般に、ベア IC のような半導体素子を基板上の所定位置に、直接フェースダウンで実装する場合、異方性導電膜 (ACF) やシート状接着剤などの膜状接着部材を用いて実装することが知られている。

【0003】 そして、この実装方法は、基板の実装部分に実装される半導体素子より少し大きめに切り取った異方性導電膜を位置決めしておき、この異方性導電膜上に実装される半導体素子の実装面を重ね合せ、この半導体素子を加熱、加圧することにより、異方性導電膜を溶融、硬化させ、半導体素子を基板上に機械的および電気的に一体に結合して実装するものである。

【0004】 この実装に際しては、まず、図 6 および図 7 に示すように、基板 11 の所定の実装部分に、膜状接着部材としての異方性導電膜 12 を位置決めしておく。そして、異方性導電膜 12 は図 10 および図 11 で示す半導体素子としてのベア IC 13 の実装面面積より少し大きめに切り取ったもので、この異方性導電膜 12 の上面にはセパレータ 12a が貼り付けられており、セパレータ 12a の反対側が基板 11 上と接する状態で取り付けられる。

【0005】 次に、図 8 で示すように、仮付けツール 14 を用いて異方性導電膜 12 をセパレータ 12a の上から加圧し、あるいは、加圧、加熱し、異方性導電膜 12 を基板 11 上に貼り付ける。この後、図 9 で示すようにセパレータ 12a を異方性導電膜 12 から剥ぎ取る。

【0006】 次に、図 10 で示すように、実装ツール 15 により、実装されるベア IC 13 の反実装面を吸着保持するとともに、このベア IC 13 を所定温度に加熱する。そして、この加熱されたベア IC 13 のパンプ 16 が設けられた実装面を、基板 11 上の異方性導電膜 12 が貼り付けられた所定の実装位置に圧接させる。このとき、ベア IC 13 は所定温度に加熱されており、異方性導電膜 12 は熱硬化性により一旦溶融後に硬化する。そして、この動作により、ベア IC 13 は基板 11 上に機械的に固着されるとともに、異方性導電膜 12 内の導電粒子によりパンプ 16 を介して、基板 11 上に形成された図示しない配線パターンに導電接続される。

【0007】 この後、図 11 で示すように、実装ツール 15 をベア IC 13 から取り外すことにより実装動作が完了する。

【0008】 しかしながら、上述の実装方法では、基板 11 上に貼り付けられた異方性導電膜 12 上にベア IC 13 を実装しているが、位置精度を考慮すると、異方性導電膜 12 にはベア IC 13 の実装面より少し大きなものを使用する必要がある。このため、実装時に、加熱されたベア IC 13 により異方性導電膜 12 を圧接した場合、ベア IC 13 の真下に位置する部分は溶融後に硬化するが、ベア IC 13 の実装面より外側にはみ出した部分は、ベア IC 13 からの熱が十分に伝わらないため、未硬化状態のまま残ってしまう。

【0009】 このように、異方性導電膜 12 の一部が未硬化のまま残ると、異方性導電膜 12 の樹脂の未硬化部分に含まれる不純物が、基板 11 上の配線パターンを腐食させたり、あるいは、実装後にベア IC 13 上や周囲に塗布される保護樹脂との密着性を阻害したりする不具合が生じる。特に、基板 11 に対する異方性導電膜 12 の精密な位置決めを省略した場合は、ベア IC 13 の外形よりかなり大きな異方性導電膜 12 を貼る必要があり、上述した問題が一層顕著になるとともに、大幅な材料の無駄が生じる。

【0010】 さらに、図 8 で示した仮付け時に、仮付けツール 14 に接する側にはセパレータ 12a が貼り付いている必要があり、ベア IC 13 を実装する直前にこのセパレータ 12a を剥がす工程が必要になる。しかし、セパレータ 12a を剥がす工程は自動化が難しく、実装機への組み込みも困難である。

【0011】

【発明が解決しようとする課題】 上述のように、従来方法では、実装されるベア IC 13 より大きな異方性導電膜 12 が必要であり、このため異方性導電膜 12 に未硬化部分が生じ、この異方性導電膜 12 が基板 11 上に残ることによ

り、配線パターンの腐食や保護樹脂の密着性の低下などを招くとともに材料の無駄を生じている。また、仮付け状態では異方性導電膜12にセパレータ12aを貼り付けておく必要があり、このため、このセパレータ12aを実装直前に剥がさねばならず、装置全体の自動化を困難なものにしている。

【0012】本発明の目的は、実装される半導体素子の実装面とほぼ同じ大きさの膜状接着部材が使用可能で、膜状接着部材の未硬化部分が生じたり、材料の無駄が生じたりすることがなく、しかも実装作業直前のセパレータ剥がし作業が不要な半導体素子の実装方法およびその装置を提供することにある。

【0013】

【課題を解決するための手段】請求項1記載の半導体素子の実装方法は、所定温度に加熱された半導体素子の実装面に、一面にシート状のセパレータが貼り付けられている膜状接着部材を前記セパレータの反対側から加圧し、この加圧後に前記セパレータを含む膜状接着部材の他の部分を実装面から分離することにより、前記膜状接着部材を実装面上に転写し、この転写後に前記膜状接着部材が転写された前記半導体素子の実装面を基板上の所定の実装位置に加圧、加熱して結合するものである。

【0014】請求項2記載の半導体素子の実装装置は、半導体素子を膜状接着部材を介して基板上の所定位置に実装する半導体素子の実装装置において、前記半導体素子を着脱可能に保持し、この保持状態にて半導体素子を所定温度に加熱するとともに、この半導体素子を基板上の所定位置に圧接させる実装ツールと、この実装ツールの所定の実装位置と異なる仮付け位置にて、一面にセパレータが貼り付けられた膜状接着部材のセパレータの反対側を、この実装ツールによって保持された半導体素子の実装面と所定の間隔で対向させる支持部材と、この支持部材により支持された前記膜状接着部材を前記半導体素子の実装面上に圧接させ、この実装面に対応する部分を実装面上に転写させる加圧ツールとを具備したものである。

【0015】

【作用】請求項1記載の半導体素子の実装方法は、半導体素子の実装面に、膜状接着部材の実装面に対応する部分のみを転写し、この転写された膜状接着部材を介して半導体素子を基板上に実装するので、膜状接着部材の未硬化部分が生じたり、材料の無駄が生じたりすることはなく、転写において、セパレータは膜状接着部材から剥がれるので、実装作業直前のセパレータ剥がし作業が不要となり、容易に自動化する。

【0016】請求項2に記載の半導体素子の実装装置は、実装ツールに保持され、所定温度に加熱された半導体素子の実装面に、膜状接着部材のセパレータの反対側を、加圧ツールにより圧接させ、セパレータを含む膜状接着部材の他の部分を実装面から分離させることによ

り、膜状接着部材の実装面に対応する部分のみを実装面上に転写でき、この転写部分からセパレータを自動的に剥ぎ取ることができる。このため、膜状接着部材の未硬化部分や、材料の無駄が生じたりすることはなく、しかも、実装作業直前でのセパレータ剥がし作業が不要となる。

【0017】

【実施例】以下、本発明の半導体素子の実装装置の一実施例を図面を参照して説明する。なお、従来例に対応する部分には、同一符号を付して説明する。

【0018】図1ないし図3において、25は実装ツールで、この実装ツール25は、半導体素子としてのペアIC13を着脱可能に保持するものであり、このペアIC13は、実装面に導電接続用のパンプ16を設けたものである。また、実装ツール25は、基板11に対する所定の実装位置とは異なる仮付け位置にあり、すなわち、実装ツール25は、ペアIC13をパンプ16を有する実装面が上向きとなる状態の仮付け位置で保持している。

【0019】また、この実装ツール25は、図示していないが、吸着保持されたペアIC13を所定温度に加熱するヒータを持っている。そして、ペアIC13に対する加熱方式は、常時加熱方式、あるいは、必要な時に急速に加熱するいわゆるパルスヒート方式のいずれでもよいが、本実施例ではパルスヒート方式を使用する。

【0020】一方、26はローラ状の支持部材で、この支持部材26は一面にセパレータ12aが貼り付けられ導電粒子を有する熱硬化性の膜状接着部材となる異方性導電膜(ACF)12を、そのセパレータ12aの反対側が、実装ツール25によって保持されたペアIC13の実装面と所定の間隔で対向するように支持する。ここで、異方性導電膜12はシート状またはテープ状のいずれでもよいが、ここではテープ状のものをを用いている。

【0021】また、この異方性導電膜12は図示しない供給機構によりその長さ方向に順次間欠送りされるが、支持部材26はこの異方性導電膜12を上方への所定の張力を保った状態で、ペアIC13の実装面と所定間隔を保つように支持する。

【0022】さらに、27は加圧ツールで、この加圧ツール27は支持部材26により支持された異方性導電膜12を、張力に抗してペアIC13の実装面上に圧接させ、この実装面に対応する異方性導電膜12の一部を実装面上に転写させる。

【0023】そして、図4および図5において、ペアIC13を吸着保持した実装ツール25は、図示しない反転機構により、仮付け位置とは異なる実装位置に反転操作される。すなわち、吸着保持したペアIC13の実装面が、実装先である基板11の所定の実装位置と対向する下向きの状態にある。

【0024】次に、上記実施例の実装について説明する。

【0025】まず、実装作業にあたっては、図1で示すように、パンプ16付きのベアIC13を実装ツール25に装着する。このとき、実装ツール25は支持面が上向きとなった仮付け位置にあり、この支持面上にベアIC13の実装面の反対を載せ、図示しないバキューム機構を動作させ、このベアIC13を吸着保持する。そして、実装ツール25は仮付け位置において、ベアIC13を90℃～130℃に加熱する。

【0026】また、熱硬化性の異方性導電膜12はローラ状の支持部材26により、セパレータ12aの反対側がベアIC13の実装面と所定間隔で対向するように支持されている。

【0027】この状態において、加圧ツール27を下降動作させ、支持部材26により所定の張力によって支持されている異方性導電膜12を押し下げ、図2で示すように、実装ツール25上に保持され、所定温度に加熱されたベアIC13の実装面に圧接させる。この後、加圧ツール27を上昇させると、図3で示すように、セパレータ12aを含む異方性導電膜12の全体は張力により上昇する。しかし、加熱状態の実装面に圧接された異方性導電膜12の一部のみはこの実装面上に残留する。すなわち、ベアIC13の実装面上には、セパレータ12aを剥ぎ取った状態で異方性導電膜12が転写されたこととなる。

【0028】次に、実装ツール25を図示しない反転機構により反転させ、ベアIC13の実装面が下向きとなるようにする。そして、このベアIC13の実装面を、図4で示すように、基板11上の所定の実装位置上に位置合わせする。この後、実装ツール25を下降させ、異方性導電膜12が転写されているベアIC13の実装面を、基板11上の所定の実装位置に圧接させ、加熱する。

【0029】そして、実装ツール25による加熱、加圧することにより、熱硬化性の異方性導電膜12は一旦溶融した後に硬化し、ベアIC13を基板11上に機械的に固着させるとともに、異方性導電膜12内の図示しない導電粒子により、ベアIC13の接続電極と基板11上の配線パターンとの間を導電接続して実装が完了する。

【0030】ここで、図1ないし図3で示した仮付け工程によりベアIC13の実装面に転写される異方性導電膜12は、実装面の面積にほぼ等しい大きさであり、図4および図5で示した実装ツール25による基板11への加熱、加圧により、転写された異方性導電膜12の全てが溶融、硬化する。すなわち、従来のように半導体素子の実装面より大きなACFを基板側に設けておく必要はなく、したがって半導体素子の周囲にはみ出た部分が未硬化のまま残ることもない。このため、未硬化の異方性導電膜12の部分に含まれる不純物により基板11の配線パターンが腐食することはない。また、ベアIC13の実装後に基板11に塗布される保護樹脂の密着性が、未硬化部分により阻害されることはなく、良好な製品を得ることができる。

【0031】また、異方性導電膜12は必要最小限が使用されるだけであり、高価な異方性導電膜12の節約になり、コストダウンが図れる。

【0032】さらに、異方性導電膜12を転写する際にセパレータ12aも同時に剥離されるので、従来のように実装直前にセパレータを剥ぎ取る必要はなく、工程の全自動化を容易に達成できる。

【0033】また、実装ツール25にベアIC13の加熱機能を持たせ、加圧ツール27を兼用したことにより、異方性導電膜12の転写装置を実装機に容易に組み込むことが可能となり、より一層の自動化を図ることができる。

【0034】なお、実装に当り、ベアIC13の実装面にアライメントマークを設け、このアライメントマークにより基板11側との位置合わせを行なうことがある。しかし、実装面には異方性導電膜12が転写されるので、転写後にこのアライメントマークを認識し易くするため、転写された異方性導電膜12のアライメントマークに対応する部分に窓を形成したり、あるいは、この部分をくりぬいたりしてもよい。

【0035】

【発明の効果】請求項1記載の半導体素子の実装方法は、半導体素子の実装面に、膜状接着部材の実装面に対応する部分のみを転写し、この転写された膜状接着部材を介して半導体素子を基板上に実装するので、膜状接着部材の大きさを、実装される半導体素子とほぼ同じ大きさにすることができ、材料の無駄が生じたりすることはなく、転写において、セパレータは膜状接着部材から剥がれるので、膜状接着部材の未硬化部分が生じたり、材料の無駄が生じたりすることがなく、さらに実装作業直前のセパレータ剥がし作業が不要となり、全体の自動化を容易に達成することができる。

【0036】請求項2に記載の半導体素子の実装装置は、実装ツールに保持され、所定温度に加熱された半導体素子の実装面に、膜状接着部材のセパレータの反対側を、加圧ツールにより圧接させ、セパレータを含む膜状接着部材の他の部分を実装面から分離させることにより、膜状接着部材の実装面に対応する部分のみを実装面上に転写でき、この転写部分からセパレータを自動的に剥ぎ取ることができる。このため、膜状接着部材の未硬化部分や、材料の無駄が生じたりすることはなく、実装作業直前のセパレータ剥がし作業が不要となり、全体の自動化を容易に達成することができる。

【図面の簡単な説明】

【図1】本発明による半導体素子の実装装置の一実施例の膜状接着部材を転写する仮付け工程を示す正面図である。

【図2】同上膜状接着部材を転写する工程の図1に示す次の仮付け工程を示す正面図である。

【図3】同上膜状接着部材を転写する工程の図2に示す次の仮付け工程を示す正面図である。

【図 4】 同上基板に対する半導体素子の実装工程の図 3 に示す次の仮付け工程を示す正面図である。

【図 5】 同上基板に対する半導体素子の実装工程の図 4 に示す次の仮付け工程を示す正面図である。

【図 6】 従来例の膜状接着部材の基板への仮付け工程を示す正面図である。

【図 7】 同上膜状接着部材の基板への仮付け工程の図 6 に示す次の工程を示す正面図である。

【図 8】 同上膜状接着部材の基板への仮付け工程の図 7 に示す次の工程を示す正面図である。

【図 9】 同上セパレータ剥がし工程の図 8 に示す次の工程を示す正面図である。

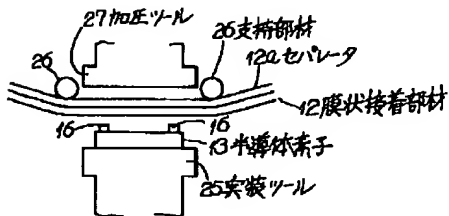
* 【図 10】 同上半導体素子への実装工程の図 9 に示す次の工程を示す正面図である。

【図 11】 同上半導体素子への実装工程の図 10 に示す次の工程を示す正面図である。

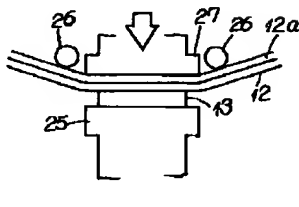
【符号の説明】

- 11 基板
- 12 膜状接着部材としての異方性導電膜 (ACF)
- 12a セパレータ
- 13 半導体素子としてのベア IC
- 10 25 実装ツール
- 26 支持部材
- * 27 加圧ツール

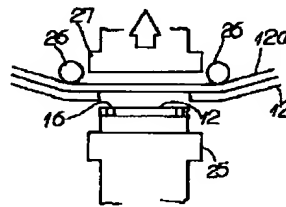
【図 1】



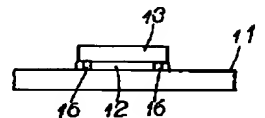
【図 2】



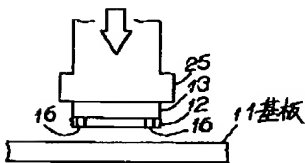
【図 3】



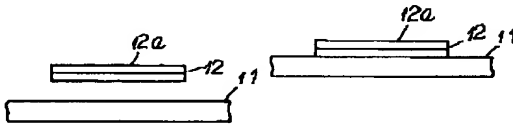
【図 5】



【図 4】

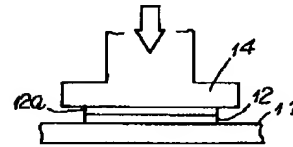


【図 6】

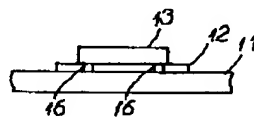


【図 7】

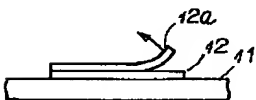
【図 8】



【図 11】



【図 9】



【図 10】

